

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **61-069283**

(43)Date of publication of application : **09.04.1986**

(51)Int.Cl.

H04N 5/66
G09G 3/36

(21)Application number : **59-192183**

(71)Applicant : **SONY CORP**

(22)Date of filing : **13.09.1984**

(72)Inventor : **SONEDA MITSUO**

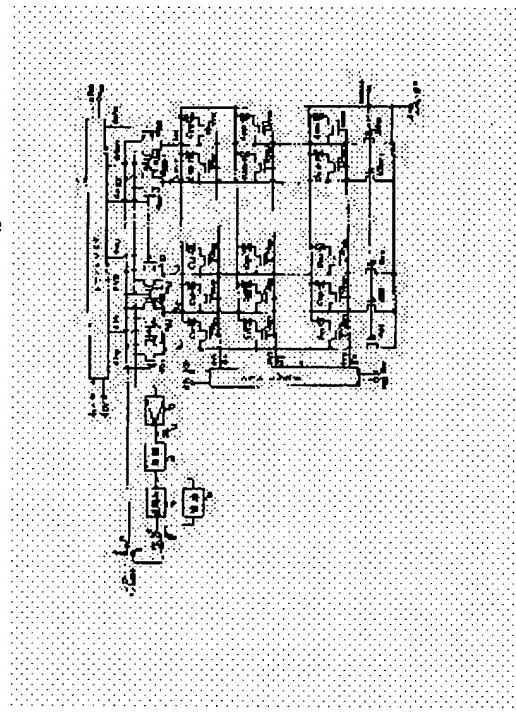
HAZAMA YOSHIKAZU

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To display good still pictures without deviation or the like of pictures for a long period by normalizing a video signal taken out from a liquid crystal cell simultaneously with polarity inversion and writing this signal in the same liquid crystal cell again.

CONSTITUTION: A switch 17 is connected to a contact A in the side of a normalizing circuit 15 in one field and is connected to a contact B in the side of a delay circuit 15 in the other field. Then, a following picture element switch signal $\Phi H2$ is stored in a capacitor 13 through an amplifier 12 with the phase of a picture element switch signal $\Phi H1$ of one field and passes an inverting circuit 14 and the normalizing circuit 15 and is written in the same liquid crystal cell C with the phase of the picture element switch signal $\Phi H2$. In the other field, the signal read out from the liquid crystal cell C is inverted again to the original polarity by the inverting circuit 14 and is delayed in the delay circuit by a time equal to the processing time in the normalizing circuit 15 and is written in the liquid crystal cell C again. Thus, still pictures are displayed by AC driving.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

⑫ 公開特許公報 (A) 昭61-69283

⑤ Int. Cl. 4

H 04 N 5/66
G 09 G 3/36

識別記号

102

庁内整理番号

7245-5C
7436-5C

⑩ 公開 昭和61年(1986)4月9日

審査請求 未請求 発明の数 1 (全6頁)

⑥ 発明の名称 液晶ディスプレイ装置

⑦ 特願 昭59-192183

⑧ 出願 昭59(1984)9月13日

⑨ 発明者 曽根田光生 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑩ 発明者 間快和 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑪ 出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号
 ⑫ 代理人 弁理士伊藤貞 外1名

明細書

発明の名称 液晶ディスプレイ装置

特許請求の範囲

水平画素数に等しい数の列線にそれぞれ水平画素クロックによって順次形成される画素スイッチ信号にてオン駆動される水平スイッチ素子を介して1フィールド毎に基準電位に対して極性の反転される映像信号を供給し、水平走査線数に等しい数の行線に水平走査クロックによって順次形成される走査線スイッチ信号を供給し、上記各列線と行線の交点にそれぞれ上記走査線スイッチ信号にてオン駆動される画素スイッチ素子を設け、これらの画素スイッチ素子を介して上記列線に供給される上記映像信号をそれぞれが1画素を構成する液晶表示セルに供給するようにした液晶ディスプレイ装置において、上記映像信号の少くとも一方の上記フィールド期間に上記液晶表示セルに記憶された上記映像信号を上記画素スイッチ素子を介して取り出し、この取り出された信号を極性反転すると共にその極性の上記映像信号を所定のレベ

ル範囲ごとに正規化し、この反転及び正規化された信号を再度上記液晶表示セルに書き込むと共に、上記各列線に上記映像信号の水平ブランкиング期間ごとにオン駆動されるスイッチ素子を介してリセット電圧を供給するようにしたことを特徴とする液晶ディスプレイ装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、静止画像の表示を行うための液晶ディスプレイ装置に関する。

(従来の技術)

例えば液晶を用いてテレビ画像を表示することが提案されている。

第5図において、(1)はテレビの映像信号が供給される入力端子で、この入力端子(1)からの信号がそれぞれ例えばNチャンネルFETからなるスイッチング素子M₁, M₂, ..., M_mを通じて垂直(Y軸)方向のラインL₁, L₂, ..., L_mに供給される。なおmは水平(X軸)方向の画素数に相当する数である。さらにm段のシフトレジスタ

(2)が設けられ、このシフトレジスタ(2)に水平周波数のm倍のクロック信号 Φ_{1H} 、 Φ_{2H} が供給され、このシフトレジスタ(2)の各出力端子からのクロック信号 Φ_{1H} 、 Φ_{2H} によって順次走査される画素スイッチ信号 ϕ_{H1} 、 ϕ_{H2} … ϕ_{Hm} がスイッチング素子M₁～M_mの各制御端子に供給される。なおシフトレジスタ(2)には低電位(V_{ss})と高電位(V_{dd})が供給され、この2つの電位の駆動バルスが形成される。

また各ラインL₁～L_mにそれぞれ例えばNチャンネルFETからなるスイッチング素子M₁₁、M₂₁…M_{n1}、M₁₂、M₂₂…M_{n2}、…M_{1m}、M_{2m}…M_{nm}の一端が接続される。なおnは水平走査線数に相当する数である。このスイッチング素子M₁₁～M_{nm}の他端がそれぞれ液晶セルC₁₁、C₂₁…C_{nm}を通じてターゲット端子(3)に接続される。

さらにn段のシフトレジスタ(4)が設けられ、このシフトレジスタ(4)に水平周波数のクロック信号 Φ_{1V} 、 Φ_{2V} が供給され、このシフトレジスタ(4)の

各出力端子からのクロック信号 Φ_{1V} 、 Φ_{2V} によって順次走査される走査線スイッチ信号 ϕ_{V1} 、 ϕ_{V2} … ϕ_{Vn} が、水平(X軸)方向のゲート線C₁、C₂…C_nを通じてスイッチング素子M₁₁～M_{nm}のX軸方向の各列(M₁₁～M_{1m})、(M₂₁～M_{2m})…(M_{n1}～M_{nm})ごとの制御端子にそれぞれ供給される。なお、シフトレジスタ(4)にもシフトレジスタ(2)と同様にV_{ss}とV_{dd}が供給される。

すなわちこの回路において、シフトレジスタ(2)、(4)には第6図A、Bに示すようなクロック信号 Φ_{1H} 、 Φ_{2H} 、 Φ_{1V} 、 Φ_{2V} が供給される。そしてシフトレジスタ(2)からは第6図Cに示すように各画素期間ごとに ϕ_{H1} ～ ϕ_{Hm} が出力され、シフトレジスタ(4)からは第6図Dに示すように1水平期間ごとに ϕ_{V1} ～ ϕ_{Vn} が出力される。さらに入力端子(I)には第6図Eに示すような信号が供給される。

そして ϕ_{V1} 、 ϕ_{H1} が出力されているときは、スイッチング素子M₁とM₁₁～M_{1m}がオンされ、入力端子(I)→M₁→L₁→M₁₁→C₁₁→ターゲット

端子(3)の電流路が形成されて液晶セルC₁₁に入力端子(I)に供給された信号とターゲット端子(3)との電位差が供給される。このためこのセルC₁₁の容量分に、1番目の画素の信号による電位差に相当する電荷がサンプルホールドされる。この電荷量に対応して液晶の光透過率が変化される。これと同様のことがセルC₁₂～C_{nm}について順次行われ、さらに次のフィールドの信号が供給された時点で各セルC₁₁～C_{nm}の電荷量が書き換えられる。

このようにして、映像信号の各画素に対応して液晶セルC₁₁～C_{nm}の光透過率が変化され、これが順次繰り返されてテレビ画像の表示が行われる。

ところで液晶で表示を行う場合には、一般にその信頼性、寿命を良くするため交流駆動が用いられる。例えばテレビ画像の表示においては、1フィールドまたは1フレームごとに映像信号を反転させた信号を入力端子(I)に供給する。すなわち入力端子(I)には第6図Eに示すように1フィールドまたは1フレームごとにターゲット電位V_tに対して極性の反転された信号が供給される。

ところで上述の装置において、任意のテレビ画像を静止画で表示したいという要求がある。その場合に従来から、例えば1フィールドあるいは1フレーム分のメモリを設け、所望の画像をこのメモリに記憶させ、これを繰返し読み出し、この読み出された信号を1フィールドごとに位相反転して上述の入力端子(I)に供給することが提案されている。しかしながら上述のような1フィールドあるいは1フレーム分のメモリは、それ自体大形であり高価であって、一般の民生用の機器に適用することは困難である。

これに対して、例えば特開昭58-107782号公報に示されるように、液晶セルCのメモリ機能を利用して静止画の表示を行うことが提案された。すなわちこの装置は、1画面ごとに極性が反転される映像信号を複数画素に時系列的に供給する第1のサンプルホールド回路を有する液晶ビデオディスプレイ駆動回路において、該映像信号を反転し該第1のサンプルホールド回路へ供給する反転手段と、該複数画素からの該映像信号を時系列的に

読出す第2のサンプルホールド回路と、外部端子からの映像信号又は該第2サンプルホールド回路からの映像信号を切換えて該反転手段に供給する切換手段とを有する液晶ビデオディスプレイ駆動回路である。

ところがこの装置の場合、公報中にも記載されているように1フィールドの表示を行うごとに画像が1画素分ずつ走査方向にずれて行く。このため1フィールドごとに走査方向を逆にするなどの処置が行われるが、このように走査方向を切換えるためには大規模な回路が必要であり、また1フィールドごとに交互に1画素分ずれる状態は残るので、これがフリッカー等になるおそれがある。

また液晶セルCの信号を取り出し、この信号を再び液晶セルCに戻し、これを繰返して静止画表示を行っているので、この間の信号の伝達特性に歪みがあると、この歪みが累積されて画質が短時間に著しく劣化されてしまう。これに対して反転手段の利得を調整することが示されているが、このような調整を完全に行うのは不可能であり、長

時間に亘って正常な静止画表示を行うことは極めて困難である。

またこれに対して、信号を所定のレベル範囲ごとに例えばその中心レベルに正規化することで、利得の誤差等による歪を補正することが考えられる。しかしながらこの場合に上述の所定のレベル範囲を判別するには、例えばそのレベル範囲の境界の数だけのコンバレータを設けるか、あるいは信号の最大振幅 ($V_{DD} \sim V_{SS}$) の $1/2$ 等分点でその上か下かを判別し、次に $1/4$ 等分点で上下を判別し、以下 $1/8$ 、 $1/16$ と繰返してレベル範囲を判別する方法が用いられるが、判別・正規化の分解能を向上させようすると、前者では構成が複雑且つ膨大になり、後者では1画素クロック期間での処理が不可能になってしまふおそれがあった。

さらに液晶セルCから信号を取出す際に、その信号線の浮遊容量等に残留電荷があると、これによっても信号が劣化され、長時間に亘って静止画表示を行うことができなくなってしまう。

(発明が解決しようとする問題点)

従来の装置は上述のように構成されていた。このため従来の装置では、構成が複雑になったり長時間に亘って静止画像を表示すると画質が極めて劣化されてしまう。また正規化の分解能を充分に大きく探ることができないなどの問題点があった。

(問題点を解決するための手段)

本発明は、水平画素数に等しい数の列線 L_1 、 L_2 、 \dots L_m にそれぞれ水平画素クロックによって順次形成される画素スイッチ信号にてオン駆動される水平スイッチ素子を介して1フィールド毎に基準電位に対して極性の反転される映像信号を供給し、水平走査線数に等しい数の行線 G_1 、 G_2 、 \dots G_n に水平走査クロックによって順次形成される走査線スイッチ信号を供給し、上記各列線と行線の交点にそれぞれ上記走査線スイッチ信号にてオン駆動される画素スイッチ素子 M_{11} 、 M_{12} 、 \dots M_{nm} を設け、これらの画素スイッチ素子を介して上記列線に供給される上記映像信号をそれぞれが1画素を構成する液晶表示セル C_{11} 、

$C_{12} \dots C_{nm}$ に供給するようにした液晶ディスプレイ装置において、上記映像信号の少くとも一方の上記フィールド期間に上記液晶表示セルに記憶された上記映像信号を上記画素スイッチ素子を介して取り出し、この取り出された信号を極性反転(14)すると共にその極性の上記映像信号を所定のレベル範囲ごとに正規化(15)し、この反転及び正規化された信号を再度上記液晶表示セルに供込むと共に、上記各列線に上記映像信号の水平ブランкиング期間ごとにオン駆動される第3のスイッチ素子 M_{R1} 、 M_{R2} 、 \dots M_{Rm} を介してリセット電圧(3)を供給するようにしたことを特徴とする液晶ディスプレイ装置である。

(作用)

この装置によれば、液晶セルCから取出された信号が同じ液晶セルCに戻されるので、画像のずれ等が生じることがなく、特別な走査等が不要で、駆動回路等は従来のものがそのまま使用できる。また信号の正規化及び信号線の電位のリセットを行っているので、これらによって画質が劣化する

ことがなく、長時間に亘って良好な静止画表示を行なうことができる。さらに映像信号の極性の片側だけで正規化を行うようにしているので、正規化回路の分解能を容易に高めることができる。

(実施例)

第1図において、スイッチング素子 $M_1 \sim M_m$ に代えてそれぞれ2個のスイッチング素子 $M_{A1}, M_{B1} \sim M_{Am}, M_{Bm}$ が並列に設けられる。そしてそれぞれ隣接のスイッチング素子 M_{A2} と M_{B1}, M_{A3} と $M_{B2} \dots$ のゲート端子が互いに接続されて、この接続中点に画素スイッチ信号 $\phi_{H1}, \phi_{H2} \dots$ が供給される。なおスイッチング素子 M_{A1} のゲート端子には画素スイッチ信号 ϕ_{H0} が供給される。さらに入力端子(1)は通常表示／静止画表示切換スイッチ(11)の通常表示側接点Nを通じて、スイッチング素子 $M_{B1} \sim M_{Bm}$ に接続される。またスイッチング素子 $M_{A1} \sim M_{Am}$ の接続中点がアンプ(12)に接続され、このアンプ(12)の出力端にコンデンサ(13)が接続され、この出力端が反転回路(14)を通じて正規化回路(ノーマライザ)(15)

及び正規化回路(15)での信号の遅延時間と等しい遅延回路(16)に接続される。そしてこの正規化回路(15)及び遅延回路(16)の出力端がフィールド切換スイッチ(17)で選択され切換スイッチ(11)の静止画表示側接点Sに接続される。また各信号ライン $L_1 \sim L_m$ にそれぞれスイッチング素子 $M_{R1}, M_{R2} \dots M_{Rm}$ が接続され、このスイッチング素子 $M_{R1} \sim M_{Rm}$ を通じて所定の電圧源、例えばターゲット端子(3)に接続される。

そしてこの装置において、一方のフィールドではスイッチ(17)が正規化回路(15)側の接点Aに接続され、他方のフィールドでは遅延回路(16)側の接点Bに接続される。

これによって、例えば一方のフィールドの画素スイッチ信号 ϕ_{H1} の位相で次の画素スイッチ信号 ϕ_{H2} に対応する液晶セルCの信号が取出され、この信号がアンプ(12)を通じてコンデンサ(13)に蓄積され、反転回路(14)、正規化回路(15)を通じて画素スイッチ信号 ϕ_{H2} の位相で同じ液晶セルCに書き込まれる。ここで液晶セルCからの信

号の電位を v_s とし、コンデンサ(13)の容量を C_s とすると、アンプ(12)の容量を C_p として、コンデンサ(13)のホット側の電位 v'_s は、

$$v'_s = \frac{C_p}{C_s} v_s \text{ となる。そして反転回路(14)の出力の電位 } v''_s \text{ は } v''_s = -A \frac{C_p}{C_s} v_s \text{ となる。そこで}$$

利得を $-A$ とすると、この反転回路(14)の出力の電位 v''_s は $v''_s = -A \frac{C_p}{C_s} v_s$ となる。そこでこの電位が $v''_s = -v_s$ となるように $-A$ の値を定めることにより、液晶セルCには反転された同じ信号が再書きされることになる。

これに対して他方のフィールドでは液晶セルCから読み出された信号が反転回路(14)で再度反転されて元の極性とされ、正規化回路(15)での処理時間に等しい時間を遅延回路(16)で遅延されて液晶セルCに再書き込まれる。これによって交流駆動による静止画表示が行われる。

そしてこの場合に、正規化回路(15)では一方のフィールドでのみ正規化を行い、他方のフィールドでは正規化を行わないで、例えば第2図の

ような映像信号であった場合に一方のフィールドが極性反転された $V_t \sim V_{ss}$ のレベル範囲のみで正規化を行えばよい。すなわちこの正規化回路(15)の入出力特性は第3図に示すようであればよい。これにより $-A$ の値に多少の誤差があっても、常に出力信号(再書き信号)を一定の値にすることができると共に、レベル判別の範囲が従来の $1/2$ になるので、構成を簡単にし、また処理時間を短くすることができる。

さらにスイッチング素子 $M_{R1} \sim M_{Rm}$ のゲート端子には水平ブランкиング信号 ϕ_{HBLK} が供給される。このため各信号ライン $L_1 \sim L_m$ は水平ブランкиングごとにターゲット電圧にリセットされる。このため各信号ラインに残留した信号がリセットされ、液晶セルCの信号を取出す際に不要信号が混入されることなくなる。

こうして静止画の表示が行われるわけであるが、上述の装置によれば構成が極めて簡単であると共に、長時間に亘って表示を行っても信号が劣化されることなく、常に良好な静止画表示を行うこ

とができる。さらに映像信号の極性の片側だけで正規化を行うようにしているので、正規化回路の分解能を容易に高めることができる。

ところで上述の装置において、上述の例では1フィールドおきに正規化が行われるので、正規化は2フィールドに一回となり、-Aの設定条件が従来のものより多少厳しくなる。そこでそれを軽減するためには第4図のような回路を用いる。この図では液晶表示部の構成は省略されている。

この図において、アンプ(12)の出力端が直接かまたは反転回路(21)を通じてフィールド切換スイッチ(22)で選択されて正規化回路(15)に接続され、正規化回路(15)の出力端が反転回路(23)を通じるかまたは直接にフィールド切換スイッチ(24)で選択されてスイッチ(11)のスタイル側接点Sに接続される。

従ってこの回路において、一方のフィールドではアンプ(12)からの信号が反転されてから正規化回路(15)に供給され、正規化された信号が直接液晶セルCに再書き込まれると共に、他方のフ

ィールドではアンプ(12)からの信号が直接正規化回路(15)に供給され、正規化された信号が反転されて液晶セルCに再書き込まれる。これによってこの回路においても交流駆動による静止画表示が行われると共に、このとき正規化回路(15)には一方の極性のみの信号が供給される。

なおこの回路で、上述の利得Aの調整はアンプ(12)等で行い、反転回路(21)(23)の利得は-1とされる。またこのとき反転回路(21)(23)と並列の破線図示の位置にも利得が1の回路が設けられる。そこで差動アンプを用いて、反転及び直接の出力をその正負の出力端から得ることができる。さらに反転回路(21)(23)とスイッチ(22)(24)の位置はそれぞれ逆にしてもよい。

なおこの装置は、アモルファスシリコン、ポリシリコン、シリコンオックスファイア、有機半導体等のTFTを用いたアクティブラチマトリクスによる液晶ディスプレイ装置に適用できる。

また上述のシフトレジスタ(2), (4)は装置を構成するICの外部に設けててもよい。

さらに表示は点順次、線順次のいずれにも適用可能である。

(発明の効果)

本発明によれば、液晶セルCから取出された信号が同じ液晶セルCに戻されるので、画像のずれ等が生じることがなく、特別な走査等が不要で、駆動回路等は従来のものがそのまま使用できる。また信号の正規化及び信号線の電位のリセットを行っているので、これらによって画質が劣化することがなく、長時間に亘って良好な静止画表示を行うことができる。さらに映像信号の極性の片側だけで正規化を行うようにしているので、正規化回路の分解能を容易に高めることができるようになった。

図面の簡単な説明

第1図は本発明の一例の構成図、第2図～第4図はその説明のための図、第5図、第6図は従来の装置の説明のための図である。

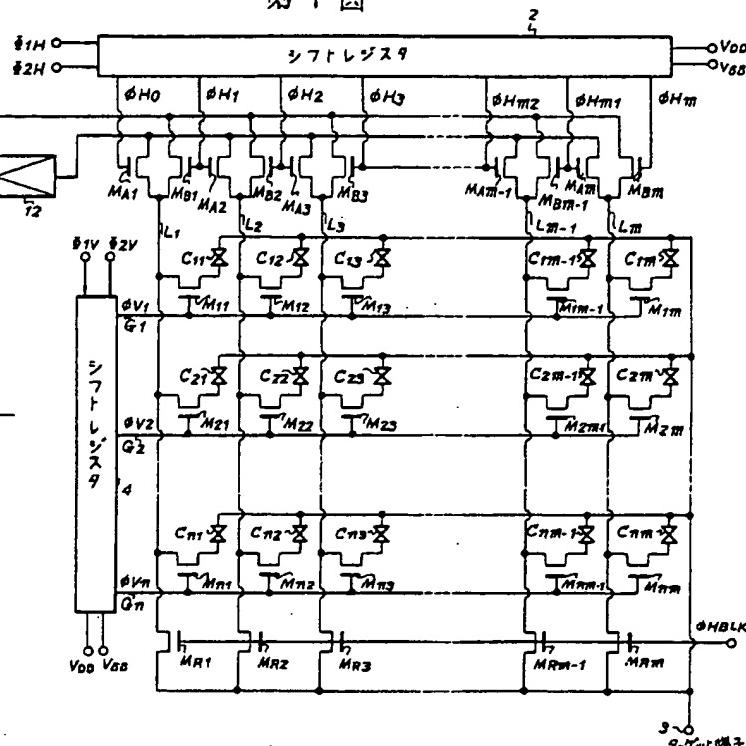
L₁～L_mは垂直信号ライン、G₁～G_nはゲート線、M₁～M_m、M₁₁～M_{nn}、M_{A1}～M_{An}、

M_{B1}～M_{Bm}はスイッチング素子、(14)は反転回路、(15)は正規化回路、(16)は遅延回路である。

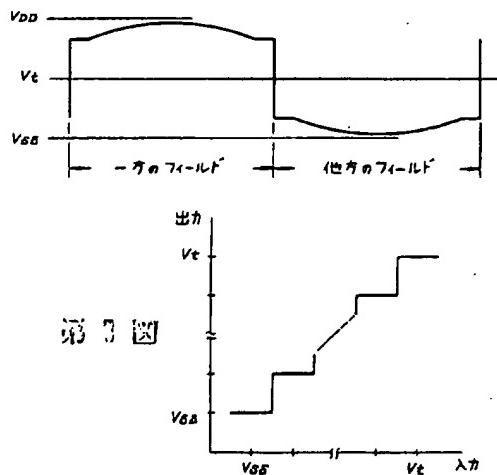
代理人 伊藤 貞

同 松隈 秀盛

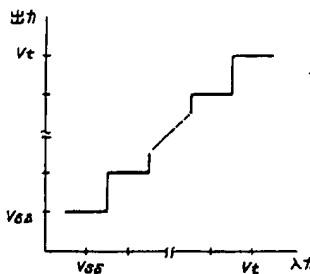
第1図



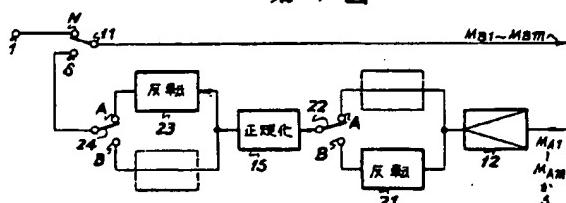
第2図



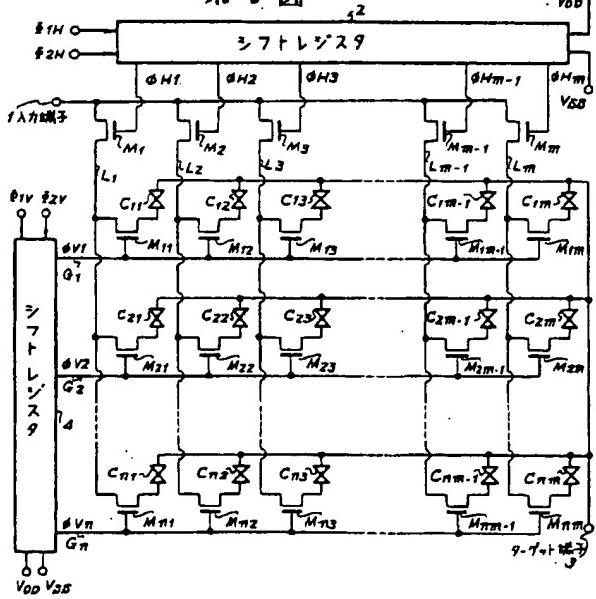
第3図



第4図



第5図



第6図

